

⑫ 公開特許公報(A)

昭64-33957

⑤ Int. Cl.

識別記号

庁内整理番号

④ 公開 昭和64年(1989)2月3日

H 01 L 27/04
27/06
29/90

101

H-7514-5F
P-7373-5F
D-7638-5F

審査請求 有

請求項の数 26 (全19頁)

④ 発明の名称 単数又は複数のダイオードを使用する保護装置の備わった集積回路
及びそれに関連する製造方法

① 特 願 昭63-152080

② 出 願 昭63(1988)6月20日

優先権主張 ③ 1987年6月23日 ③ 米国(US) ④ 065450

⑥ 発 明 者 ウィリアム ググラス アメリカ合衆国 カリフォルニア州 クーパーティノ フ
マツク アイア ソーン ドライヴ 11073
⑦ 発 明 者 リチャード ヘンリー アメリカ合衆国 カリフォルニア州 95132 サン ホセ
レイン ベイブ ルース ドライヴ 2732
⑧ 出 願 人 ナームローゼ フェン オランダ国 5621 ペーアー エイントホーフエン グレン
ノートチャップ フィ アウトスウェツヒ 1
リツプス グロエイラ
ムベンファブリーケン
⑨ 代 理 人 弁理士 中 村 稔 外4名

明 細 書

1. 発明の名称 単数又は複数のダイオードを使用する保護装置の備わった集積回路及びそれに関連する製造方法

2. 特許請求の範囲

(1) 第1の供給電圧を受けるための第1の給電端子、第1の供給電圧より大きい第2の供給電圧を受けるための第2の給電端子、それに沿ってコンポーネントの電子エレメントが位置づけられている上部表面をもつ半導体本体の一部から成り給電端子に結合されている保護された回路のコンポーネントそして外部環境との間で情報を伝送するためコンポーネントに連結された情報端子を含み、保護装置には本体の一部から成る第1及び第2のダイオードが含まれ、第1のダイオードにはそれぞれ第1の給電端子と情報端子に結合された陽極及び陰極がついており第2のダイオードにはそれぞれ情報端子と第2の給電端子に結合された陽極及び陰極がついてい

るような、以下のことを特徴とする保護装置を備えた集積回路：

- 上部表面より下で本体中に埋込まれた絶縁層分離機構が側面方向に本体のアクティブ状態にある一群の半導体部分を上面に沿って互いに分離していること。
 - 各々のダイオードの陽極及び陰極がそれぞれ、上面からそれぞれ一對のアクティブ部分まで下方に延び全面的に上面の下にあるPN接合を形づくるようなPタイプのゾーンとNタイプのゾーンを含んでおり、各ダイオードのゾーンのうち少なくとも1つがそのゾーンに対するアクティブ部分を通して分離機構より下の本体の材料内に垂直に延びていること。
- (2) 前記、PN接合のうち少なくとも1つの周囲全体が分離機構と隣接していることを特徴とする請求項1に記載の集積回路。
- (3) 前記、各ゾーンには(a)上面より下に存在する埋込まれた領域及び(b)上面からそのゾーンのアクティブ部分を通りその埋込み領域まで下方に

延びる接続領域が含まれ、各ダイオードに対する埋込み領域が会合してそのPN接合を形成していることを特徴とする、請求項1に記載の集積回路。

(4) 前記、埋込み領域に比べより軽くドーピングされておりしかも選定された電気伝導度タイプのものであるような材料が、特定の1方のダイオードについての埋込み領域の両方の下部表面と隣接することを特徴とする、請求項3に記載の集積回路。

(5) 前記、特定のダイオードが第1のダイオードであり、選定された電気伝導度タイプがPタイプであることを特徴とする、請求項4に記載の集積回路。

(6) 前記、選定された電気伝導度タイプの材料がダイオードのうち特定の1つについての埋込み領域の1つを分離機構に至るまでとり囲んでいること、そしてこの埋込み領域は選定された電気伝導度タイプと反対のタイプのものであることを特徴とする、請求項3に記載の集積回路。

うなPタイプのゾーンとNタイプのゾーンを含み、分路ダイオードのゾーンのうちの少なくとも1つはそのゾーンに対するアクティブ部分を通り垂直に分離機構より下の本体の材料内へと延びていることを特徴とする、請求項1に記載の集積回路。

(11) 前記、以下のことを特徴とする請求項1に記載の集積回路：

— 回路には、もう一つの第1の供給電圧を受け入れるためのもう1つの第1の給電端末、もう一つの第1の供給電圧よりも大きいもう一つの第2の供給電圧を受け入れるためのもう一つの第2の給電端子、もう一つの給電端子に結合され本体の一部から成るもう一つの保護された回路そして外部環境との間で情報を伝送するためもう一つのコンポーネントに結合されたもう一つの情報端子が含まれていること；ならびに

— 保護装置には、本体の一部から成るもう一つの第1及び第2のダイオードが含まれ、こ

(7) 前記、特定のダイオードが第2のダイオードであり、選定された電気伝導度タイプがPタイプであることを特徴とする、請求項6に記載の集積回路。

(8) 前記、埋込み領域に比べより軽くドーピングされており又選定された電気伝導度タイプのものである材料が、残りのダイオードに対する埋込み領域の両方の下部表面と隣接することを特徴とする、請求項6に記載の集積回路。

(9) 前記、特定されたダイオード及び残りのダイオードがそれぞれ第2及び第1のダイオードであることそして選定された電気伝導度タイプがBタイプであることを特徴とする、請求項8に記載の集積回路。

(10) 前記、保護装置にはそれぞれ第1及び第2の給電端子に結合された陽極及び陰極をもつ分路ダイオードが含まれており、分路ダイオードの陽極及び陰極はそれぞれ上部表面から各々1対のアクティブ部分へと下方に延び上部面より下に全面的に存在するPN接合を形作っているよ

う一つの第1のダイオードはそれぞれもう一つの第1の給電端子及びもう一つの情報端子に結合された陽極及び陰極をもち、このもう一つの第2のダイオードはそれぞれもう一つの情報端子及びもう一つの第2の給電端子に結合された陽極及び陰極をもち、こ

(12) 前記、もう一つのダイオードの各々の陽極及び陰極には、上部表面から一対のアクティブ部分へと延び上部表面より下に全面的に存在するPN接合を形づくるPタイプのゾーンとNタイプのゾーンがそれぞれ含まれていることそして各々のもう一つのダイオードのゾーンのうちの少なくとも1つがそのゾーンについてのアクティブ部分を通して分離機構より下の本体の材料内へ垂直に延びていることを特徴とする、請求項11に記載の集積回路。

(13) 前記、保護装置には第1の給電端子の間で反対方向に並行して結合された一対の相互給電ダイオード及び第2の給電端子の間で反対方向に並行して結合された一対の相互給電ダイオード

が含まれていることを特徴とする、請求項12に記載の集積回路。

(14)前記、各々の相互給電ダイオードの陽極及び陰極には、上部表面から一対のアクティブ部分内に延び全面的に上部表面より下に存在するPN結合を形成するPタイプのゾーンとNタイプのゾーンが含まれており、各々の相互給電ダイオードに対するゾーンのうちの少なくとも1つがそのゾーンのアクティブ部分を通り分離機構より下の本体の材料内へ垂直に延びていることを特徴とする、請求項13に記載の集積回路。

(15)前記、回路には外部環境との間に少なくとも1つの付加的な情報が含まれており、保護装置には各付加的情報端子について本体の一部から成る付加的な第1及び第2のダイオードの相応する対が含まれており、各々の付加的な第1ダイオードはそれぞれ第1の給電端子及び相応する付加的な情報端子に連結された陽極及び陰極を含んでおり、各々の付加的な第2ダイオードはそれぞれ相応する情報端子及び第2の給電端

置づけされている)；

- 情報端子は本体より上の2つの断面の間にあること；
- 各々の第1のダイオードは、部分的に第1の断面より下にある。
- 各々の第2のダイオードは、2つのダイオードに対する情報端子の下にある材料により相応する第1のダイオードから分離された形で第2の断面より下にその一部分があること。

(17)第1の供給電圧を受けるための第1の給電端子、第1の供給電圧より大きい第2の供給電圧を受けるための第2の給電端子、それに沿ってコンポーネントの電子エレメントが位置づけられている上部表面をもつ半導体本体の一部から成り給電端子に結合されている保護された回路のコンポーネントそして外部環境との間で情報を伝送するためコンポーネントに結合された情報端子を有し、保護装置には本体の一部から成るダイオードが含まれ、そのダイオードはいずれもそれぞれ第1の給電端子と情報端子に結合

子に結合された陽極及び陰極をもち、しかも各々の付加的なダイオードの陽極及び陰極がそれぞれ上部表面から一対のアクティブ部分へと延びて上部表面より下に全面的に存在するPN結合を形成するPタイプのゾーンとNタイプのゾーンを含んでいることそして各々の付加的ダイオードに対するゾーンのうちの少なくとも1つがそのゾーンに対するアクティブ部分を通して分離機構より下の本体の材料内へ垂直に延びていることを特徴とする、請求項1に記載の集積回路。

(16)前記、以下のことを特徴とする請求項15に記載の集積回路：

- 第1の給電端子は第1のリング型断面をもつ第1の給電ラインに接続されていること；
- 第2の給電端子は、第1の断面とほぼ同じ割合であるがサイズは異なる第2のリング型断面をもつ第2の給電ラインに接続されていること（なお、2つの断面は本体より上に同心的に一方の中に他方が入っているように位

置された陽極と陰極をもつか或いはそれぞれ情報端子及び第2の給電端子に結合された陽極及び陰極をもつような、以下のことを特徴とする集積回路用の保護装置：

- 上部表面より下で本体に埋め込まれている分離機構が側面方向に本体のアクティブ状態にある一群の半導体部分を上部表面に沿って互いに分離しており、分離機構が少なくとも本体の材料と隣接する所において誘電体材料でほぼ構成されていること；ならびに
- 陽極及び陰極がそれぞれ、上部表面からそれぞれ一対のアクティブ部分へと下方に延びて全体的に上部表面より下にあるPN結合を形成しているようなPタイプのゾーンとNタイプのゾーンを含んでおり、ゾーンのうちの少なくとも1つはそのゾーンに対するアクティブ部分を通して分離機構より下の本体の材料内に垂直に延びていること。

(18)前記、PN結合の周囲全体が分離機構と隣接していることを特徴とする、請求項17に記載

の集積回路。

(19) 第1の供給電圧を受けるための第1の給電端子、第1の供給電圧より大きい第2の供給電圧を受けるための第2の給電端子、給電端子に結合された保護された回路のコンポーネントそして外部環境との間で情報を伝送するためコンポーネントに結合された情報端子を含み、保護装置には第1及び第2のダイオードが含まれ、第1のダイオードにはそれぞれ第1の給電端子と情報端子に結合された陽極及び陰極がついており第2のダイオードにはそれぞれ情報端子と第2の給電端子に結合された陽極及び陰極がついているような、保護装置を伴い以下の工程を特徴とする集積回路の製造方法：

- 一対の別々の場所にてその上部表面を通して選定された電気伝導度タイプの半導体基板内へNタイプのドオパントを導入し(a)、一対の別々の場所にてその上部表面を通して基板内へPタイプのドオパントを導入する(b)工程。

陰極を形成し、Pタイプの埋込み領域はそれぞれPタイプの接続領域と会合して陽極を形成する。

(20) 前記、PN接合のうち少なくとも1つの接合の周囲全体が分離機構と隣接することを特徴とする請求項19に記載の方法。

(21) 前記、ドオパントを順次導入する工程には以下の作業が含まれていることを特徴とする、請求項19に記載の方法：

- Nタイプのドオパントを基板に導入すること。
- 高温で基板を焼なまししNタイプのドオパントをさらに基板内に拡散させること。
- Pタイプのドオパントを基板内に導入すること。

(22) 第1の供給電圧を受けるための第1の給電端子、第1の供給電圧より大きい第2の供給電圧を受けるための第2の給電端子、給電端子に結合されている保護された回路のコンポーネント及び外部環境との間で情報を伝送するためコン

— 基板とエピタキシャル層を含む半導体本体を形成するよう基板の上部表面上にエピタキシャル半導体層を成長させる工程、

— 本体の一群のアクティブ部分を互いに側面方向に分離するようその上部表面より下で本体内に埋込まれている絶縁層分離機構を創り上げ、(a)それぞれ本体の上部表面から1対のアクティブ部分内へ延びている1対のNタイプの接続領域と(b)本体の上部表面からそれぞれアクティブ部分のもう一つの対内へ延びている1対のPタイプの接続領域を打ち立てる工程、そして

— 先行するドオパントを少なくとも前記の工程中さらに本体内に拡散させ、(a)1対のNタイプの埋込み領域と(b)それぞれNタイプの埋込み領域と会合し全体的に本体の上部表面より下にある1対の別々のPN接合を規定するような1対のPタイプの埋込み領域が形成されるようにする工程。なおNタイプの埋込み領域はそれぞれNタイプの接続領域と会合し

コンポーネントに結合された情報端子を含み、保護装置にはそれぞれ第1の給電端子及び情報端子に結合された陽極及び陰極をもつか又はそれぞれ情報端子及び第2の給電端子に結合された陽極及び陰極をもつダイオードが含まれているような、保護装置を伴う集積回路の以下の工程を特徴とする製造方法：

- その上部表面を通してPタイプの半導体基板の一部内にNタイプのドオパントを導入する工程。
- 基板の上部表面に沿ってNタイプの部分を形成するためNタイプのドオパントをさらに基板内に拡散させるよう基板を焼なましする工程。
- 基板の上部表面に至るまで少なくとも部分的にNタイプの部分によりとり囲まれている基板の一部内にPタイプのドオパントを導入する工程。
- 基板及びエピタキシャル層を含む半導体本体を形成するため上部表面上にエピタクシャ

ル半導体層を成長させる工程。

- 本体の1群のアクティブ部分を側面方向に互いに分離させるようその上部表面より下で本体内に埋め込まれている絶縁層分離機構を生成させ、上部表面からそれぞれ1対のアクティブ部分内へ延びるNタイプの接続領域とPタイプの接続領域を打ち立てる工程。そして
- 焼なまし工程の後の工程の間先行するドオパントがさらに本体内に拡散するようにしこうして本体の上部表面より下で分離機構にその周囲全体が隣接するようなPN接合を構成すべく会合するヘビードーピングされたNタイプの埋込み領域とヘビードーピングされたPタイプの埋込み領域を形成させる工程。

(なおNタイプ領域同士、Pタイプ領域同士が互いに会合し、ダイオードに複数の領域が含まれる)。

- (23)前記、Nタイプのドオパントがアンチモンであることを特徴とする、請求項22に記載の方法。

- (24)前記、焼なまし工程が、1100℃以上の温度で行なわれることを特徴とする、請求項23に記載の方法。

- (25)前記、焼なまし工程が、少なくとも60分間行なわれることを特徴とする、請求項24に記載の方法。

- (26)前記、分離機構を生成する工程にはエピタキシャル層の選択された部分及び基板の下にある部分の酸化作業が含まれていることを特徴とする、請求項25に記載の方法。

3.発明の詳細な説明

<産業上の利用分野>

本発明は、第1の供給電圧を受けるための第1の給電端子、第1の供給電圧より大きい第2の供給電圧を受けるための第2の給電端子、それに沿ってコンポーネントの電子エレメントが位置づけられている上部表面をもつ半導体本体の一部から成り給電端子に結合されている保護された回路のコンポーネントそして外部環境との間で情報を伝送するためのコンポーネントに結合された情報端子を含み、保護装置には本体の一部から成る第1及び第2のダイオードが含まれ、第1のダイオードにはそれぞれ第1の給電端子と情報端子に結合された陽極及び陰極がついており第2のダイオードにはそれぞれ情報端子と第2の給電端子に結合された陽極及び陰極がついているような、保護装置を伴う集積回路に関するものである。

<従来の技術>

保護装置は、集積された半導体(IC)の端子の間に加えられた電圧が端子に結合された回路コ

ンポーネントを損傷するのを防ぐ。この電圧は例えば静電気放電(ESD)などによって引き起こされる。金属酸化半導体(MOS)ICは、中層な電圧におけるその薄いゲート誘導体の破断のため、特にESD損傷を受けやすい。ESDは又、MOSの場合に比べると幾分か少ないものバイポーラ形ICについても問題である。バイポーラ形IC内のベース-エミッタ接合は最もESD損傷を受けやすい、ICのサイズが小さくなるにつれて、バイポーラ形IC及びMOSICの両方についてESDはより大きな関心事となる。

ESDはICの組立て、テスト、移送及び設置中に起こる。ICの個別の取り扱い又は発送用キャリア又は自動テスト装置のレールを滑り降りるICの動きにより生成される静電気はICを横切って放電する。一人の人間は簡単に1000~10000ボルトの静電気を生成する。人間の体のソース抵抗は部分的にこの高電圧の破壊的効果を軽減する。それでも結果として得られる電圧はきわめて損傷を起こしやすい性質をもつことがあ

る。ICが発送用キャリア又はテスト用装置のレベルを滑り降るときに発生するESDは同程度に有害でありうる。従って、通常ESD損傷を防ぐためにICには保護機構が内蔵されている。

ESDに対する感度を評価するためにさまざまなモデルが用いられている。Manzoni 著「線形IC内の静電気放電保護」IEEE Trans. Cons. Elec. 1985年8月、p601～p607では主要なモデルが論述されている。第1図を参照すると、ここにこれらのモデルのうちの1つが示されている。第1図は、人間の体をエミュレートする回路10が、回路コンポーネント16を保護するための装置14を含むIC12といかに相互作用するかを示している。

実際の静電電圧をエミュレートする電圧 V_E は、2極スイッチ18を通して人体回路10内のコンデンサ C_{HH} に加えられる。コンデンサ C_{HH} は、100～200ピコファラドの人体キャパシタンスを表現す。コンデンサ C_{HH} が V_E まで装荷された後、スイッチ18はその装荷ポジションからそ

た情報は、供給電圧でない基準信号を含む可能性がある。第1図はかかる情報端子の1つ T_H を示している。端子 T_H とコンポーネント16の間に接続されている保護装置14は、端子 T_H における電圧が端子 T_L と T_H における電圧の間にあるかぎり情報の伝送にほとんど影響を与えない。

ESDのため端子 T_L 、 T_H 及び T_H のうちのいずれか2つの間の電圧がコンポーネントを損傷しうる大きさに近づいた場合、装置14はアクティブになり、この電圧を非破壊レベルに制限しようとする。抵抗器 R_{HH} はコンデンサ C_{HH} からの V_E 放電を減衰させるため、保護活動の運用ダイナミックスの一部である。第1図は、端子 T_H と T_L の間に電圧 V_E が加えられている特定の状況を図示している。

保護装置14は先行技術においてさまざまな形で実現されてきた。第2図は、端子 T_L と T_H の間で直列に接続された1対の半導体ダイオード(D_A 及び D_C)を用いた実現を示している。 D_A 陰極と D_C 陽極は一般に限流抵抗器を通して

の放電ポジションへと移行する。コンデンサ C_{HH} は、1000～2000オームの人体抵抗を表現す抵抗器 R_{HH} を通して放電し対地電圧 V_G を生成する。電圧 V_G はIC12の外部からアクセス可能な端子(又はピン)のうちの2つの間に加えられる。

IC12の方をみると、これにはここで「 V_{LL} 」及び「 V_{HH} 」と呼ばれる適切な供給電圧を通常に給電を受けているICのオペレーション中に受け入れる2つの給電端子 T_L と T_H がある。 V_{HH} は V_{LL} より大きい。保護された回路のコンポーネント16は内部的に端子 T_L と T_H に接続されこれらから動作出力を受ける。

IC12は、デジタルデータ又はアナログ信号といった情報を、通常に給電を受けているICのオペレーション中にコンポーネント16と外部環境の間に伝送するための一群の端子を有している。これらの端子は、端子 T_L 及び T_H ならびにその他の全てのIC給電ピンと区別するため分類して情報端子と呼ばれている。情報端子を通して送られ

端子 T_H に結合されている。装置14にはさらに、端子 T_H 及び/又は抵抗器 R_{HH} に接続された電圧保護回路20が含まれている可能性がある。上述のManzoniの著書を参照されたい。又Punk著「静電気損傷に対する半導体の感受性」Elec. Engrg., 1983年3月、p51～59も参照のこと。

米国特許3673428号は、最初の段階で論述したタイプのICを開示している。

保護装置14及び保護されるべき回路コンポーネント16を含むIC12は、それに沿ってさまざまな回路エレメントが位置づけられている上部表面をもつ半導体本体から製造されている。第2図の装置14において、ダイオード D_A 及び D_C は「サーフェス(表面)」ダイオードとして従来通り形成されている。すなわち各々のダイオード D_A 又は D_C の陽極及び陰極の間のPN接合は上部の半導体表面に達している。

<発明が解決しようとする課題>

サーフェスダイオードとしてダイオード D_A 及び D_C を実施するということは、最も高いダイオ

ードオバント濃度が上部の半導体表面で起こることから考えて不利である。ダイオードのPN接合を通して流れるESD電流はこうして半導体の上部表面に強力に収束する。上にある誘電材料は熱を良好に消散させないため、ダイオードD₁及びD₂は、望ましくない低いESD電圧にて故障する。こうして保護されるべきコンポーネント16は次に続くESDパルスに対し無防備の状態になる。この問題は、回路のサイズが小さくなるにつれてさらに真刻なものとなる。

<課題を解決するための手段>

本発明に従うと、半導体上に作られたICの保護装置は、本体の一部から形成された保護されている回路のコンポーネントの敏感な電子エレメントをESDが生成するもののような絶対値の高い電圧が損傷しないようにするため「サブサーフェス(表面下)」PN接合をもつ半導体ダイオードを単数又は複数用いている。ここで「サブサーフェス」というのは、これらのPN接合が、回路エレメントが位置づけられている半導体の上部表面

いる。ダイオードの1つはそれぞれ第1の給電端子と情報端子に結合されているその陽極と陰極を有する。もう一つのダイオードの陽極及び陰極はそれぞれ情報端子と第2の給電端子に結合されている。応用分野に応じて保護装置からダイオードのいずれかを削除することもできる。

ダイオードは半導体本体の一部から形成されている。上部表面より下の本体内部へ埋込まれた絶縁層分離機構は、本体の一群のアクティブ半導体部分を上部表面に沿って互いに側面方向に分離している。各々のダイオードの陽極及び陰極はそれぞれ、上部表面から1対のアクティブ部分への下方に延び全面的に上部表面より下にあるPN接合を形成するようなPタイプのゾーンとNタイプのゾーンを含んでいる。各々のダイオードについてのゾーンのうち少なくとも1つは、そのゾーンに対するアクティブ部分を通して分離機構より下の本体の材料内へ垂直に延びている。PN接合のうちの少なくとも1つの周囲全体は通常分離機構と隣接する。

より下にあることを意味する。さらに明確にいうと、接合のエッジは半導体本体の上部表面に達しない。この主要な要因によりサブサーフェス接合を通して流れる電流は前述の先行技術の保護装置の場合に比べはるかに均質に接合を横切って分配されることが可能となる。当該装置内で用いられる半導体本体はこうして保護装置を損傷することなくESDパルスの熱をはるかに良好に降下させることができる。

このICは、外部環境との間で情報を移送するための、保護される回路のコンポーネントに結合された情報端子、第1の供給電圧を受入れるための第1の給電端子そして第1の供給電圧より大きい第2の供給電圧を受け入れるための第2の給電端子を有している。給電端子はこのコンポーネントに結合されている。

保護装置は通常、端子のうちのいずれか2つの間に適用された電圧が保護されるコンポーネントを損傷しうるレベルに達するのを防ぐよう機能する1対の「サブサーフェス」ダイオードを含んで

保護装置はできれば、埋込み領域/エピタキシャル層プロセスにより製造されることが望ましい。第1の工程はNタイプとPタイプのドオバントを1つの半導体基板内に導入し、各々のドオバントが2つの別々の場所で基板に入るようにすることである。次にエピタキシャル層が基板上に成長せられ、これが半導体本体を形成する。本体の中に分離機構が作られ、上部表面から延びる2つのNタイプ接続領域と2つのPタイプ接続領域がダイオードに対するアクティブな半導体部分内に適切に打ち立てられる。上述のドオバントはさらに少なくとも前述の工程中半導体の本体の中に拡散し、それぞれNタイプ埋込み領域と合合してそのダイオードのためのサブサーフェスPN接合を構成する2つのNタイプ埋込み領域と2つのPタイプ埋込み領域を形成する。各々の埋込み領域は、オーム面で接続領域のうちの相応するものと合致する。

埋込み領域と接続領域は標準的に、IC内の他の場所で埋込み領域と接続領域を構成するのに使

用いられている1組のフォトリジストで構成されている。こうして保護装置はICの製造プロセス全体にいかなる工程も付加せずに製造することができる。

本発明に基づく保護装置は単純で小さなダイ領域しか占領しない。サブサーフェスダイオードは極めて高いESD保護レベルを提供する。人体のキャパシタンス及び抵抗について150ピコファラド及び1500オームという標準的な値で、単一の4ミルのサブサーフェスダイオードは、2000ボルトのESDが小型の最新ベースエミッタ接合を損傷するのを防ぐ。これは、保護のない状態では50～100ボルトで故障するのである。

先行技術による保護装置は、これより低い保護を提供するか或いは同じ保護レベルでより大きい面積を占めるかである。8ミルを占める2つのサーフェスダイオードを用いる上記先行技術に基づく装置の一実施態様は、わずか5000～1000ボルトのESD保護で前記ベースエミッタ接合

を提供する。当該装置のこれに相応する実施態様は3000～4000ボルトの保護を達成する。2重リングのサブサーフェスダイオード式は、このベースエミッタ接合を含むICがいずれの極性であれ2つのピンの間に加えられた5000ボルトのESDに耐えることを可能にする。従って、本発明は、先行技術に対し大幅な前進を提供するものである。

<実施例>

同一の又はきわめて類似した単数又は複数の品目を表わすため好ましい実施態様の説明及び図面では同じ参照シンボルが用いられている。

第3図を参照すると、これには、IC12の回路コンポーネント16がESD又はその他の高圧過負荷により損傷を受けないようにするため、サブサーフェスPN接合をもつ半導体ダイオードが用いられている保護装置14の一般的実施例が図示されている。このダイオードは往々にして、コンポーネント16の電子エレメントが位置づけられている半導体上部表面に達するPN接合をもつ

前述のサーフェスダイオードと区別するため「サブサーフェス」ダイオードと呼ばれている。

第3図の装置14にはサブサーフェスダイオードD₁及びD₂とオプションの限流抵抗器R₁及びR₂が含まれている。D₁の陽極及び陰極はそれぞれ給電端子T₁とノード22に接続されている。D₂の陽極及び陰極はそれぞれノード22と給電端子T₂に接続されている。情報端子T₃は直接ノード22に接続されているか又は存在する場合には抵抗器R₃を介してこれに接続されている。ノード22は直接又は存在する場合には抵抗器R₃を介してコンポーネント16に接続される。コンポーネント16は又、通常給電のICオペレーション中それぞれ低供給電圧V₁₁及び高供給電圧V₂₂を受ける端子T₁とT₂の間に接続されている。

装置14は、端子T₁とT₂の間の分路として機能しその間に加えられた電圧がコンポーネント16を損傷しうるレベルに達しないようにするサブサーフェスダイオードD₃をも含んでいる。D₃

の陽極及び陰極はそれぞれ端子T₁及びT₂に接続されている。IC12内のその他の回路エレメントすなわちダイオードD₄を除く装置14内のものならびにコンポーネント16内のエレメントは、端子T₁及びT₂の間での固有分路能力を提供する。ダイオードD₃は、この分路能力が充分大きい場合必要でない。

第4a図及び第4b図は、サブサーフェスダイオードD₁、D₂及びD₃を実現するための2つの基本的構造を示している。両方の構造において、IC12の形成に用いられた半導体本体は、軽くドーピングされたPタイプの単結晶構造のシリコン基板24とその上部表面28上にあるNタイプのエピタキシャルシリコン層26から成る。エピタキシャル層26の電気伝導度のタイプは、第4a図及び第4b図のダイオードにとって特に重要ではないが、Pタイプであってもよい。

電気的分離機構30は、本体の一群のアクティブな半導体部分を互いに上部表面32に沿って側面方向に分離するようエピタキシャル層26の上

部表面32より下の半導体本体内に埋込まれている。かかるアクティブな部分4つ34、36、48及び40が第4a図と第4b図に描かれている。コンポーネント16の回路エレメントはその他のアクティブ部分内に形成されている。分離機構30は完全に層26を通して又やや基板24内にまで延びている。機構30は、少なくともそれが半導体本体の単結晶シリコンと隣接する場合、二酸化ケイ素などの誘電材料で構成されている。

特に第4a図を参照すると、ヘビードーピングされたNタイプの埋込み領域42とヘビードーピングされたPタイプの埋込み領域44は一般に上部表面32より下の界面28に沿って存在する。N+領域42は部分的にアクティブ部分34内に延びている。P+領域44は部分的にアクティブ部分36に延びている。埋込み領域42及び44は、サブサーフェスPN接合46を形成するように分離機構30より下で会合する。ライトドーピングされたPタイプの基板材料24はこうしてその下部表面に沿って領域42及び44と隣接する。

でも、埋込み領域52及び54は、その周囲全体が機構30と隣接しているサブサーフェスPN接合56を形成するべく会合している。従ってPタイプの基板材料24は、機構30に至るまでN+領域52を完全にとり囲んでいる。

ヘビードーピングされたNタイプ及びPタイプの接続領域58及び60は、上部表面32からそれぞれアクティブ部分38及び40内へ、埋込み領域52及び54まで下方に延びている。第4b図のサブサーフェスダイオードのための陰極は、N+領域52及び58から成るNタイプのゾーンである。陽極は、P+領域54及び60により形成されたPタイプゾーンである。

接続領域48、50、58及び60の各々は通常、第4a図及び第4b図には図示されていないものの分離機構30の側壁にまで延びている。第4a図及び第4b図内の陽極及び陰極の各々は基本的に別々の一對の領域で構成されるものとして示されているが、各々の陽極又は陰極は単一のヘビードーピングされた領域のみで構成されていて

ヘビードーピングされたNタイプの接続領域48及びヘビードーピングされたPタイプの接続領域50は上部表面32からそれぞれアクティブ部分34及び36内を通して埋込み領域42及び44まで下方へ延びている。第4a図のサブサーフェスダイオード上の陰極はN+領域42及び48で形成されたNタイプのゾーンである。陽極は、P+領域44及び50から成るPタイプのゾーンである。

第4b図に移行してみると、ヘビードーピングされたNタイプとPタイプの埋込み領域52及び54は、一般に上部表面32より下の界面28に沿って存在する。N+領域52は、部分的にアクティブ部分38内に延びている。領域52も又、第4b図に示されている例において、アクティブ部分40内に延びている。P+領域54は、図示された例において部分40内に存在し、分離機構30の側壁により完全に境界づけされている。代替的には、P+領域54は、機構30の下部表面より下で下方に延びていてもよい。いずれの場合

もよい。

接合の両側46又は56に沿ってのシリコン内のドーパント濃度は、比較的均一である。接合46及び56の曲率は、標準的表面接合のものよりがるかに小さい。従って、接合46及び56を通して流れる電流は、これらを横切ってきわめて均等に分配される。

第4a図と第4b図内のダイオードの各々についてのしきい電圧 V_f は0.5~1ボルトである。両方のダイオードに対する降伏電圧 V_{fo} は通常約10ボルトであるが、特定の応用分野に合うよう調整することができる。 V_{fo} は通常IC供給電圧 $V_{DD} \sim V_{LL}$ より大きいため、ダイオード D_1 （もしあれば）は通常動作の間降伏しない。各々のサブサーフェスダイオードは、標準的に前方バイアス方向に約2.5オーム、逆バイアス方向に約10オームの直列抵抗をもつ。各々のダイオードに対する配置面積は、標準的に4ミル²である。

第3図のダイオード D_1 及び D_2 は第4a図の構造で実現することができる。Pタイプの基板

24は普通給電端子 T_L に接続される。第4a図内の構造物の埋込みPタイプ領域44も同様に基板24に直接接続される(すなわち介入するPN接合はない)ため、第4a図の構造をダイオード D_N のために用いることは通常不可能である。この欠点は、この構造が第4b図のものより低いキャパシタンスをもつという事実により相殺されている。ダイオード D_L 、 D_N 及び D_S は全て図4bの構造で実現することができる。

電気伝導度タイプは、第4a図及び第4b図において逆にすることができる。この場合、基板24(現在Nタイプの電気伝導度のもの)は通常端子 T_N に接続される。このとき第4a図の構造を用いてダイオード D_N 及び D_S を実現することができるが、ダイオード D_L を実現することはできない。ここでも同様に、ダイオード D_L 、 D_N 及び D_S の全てを実現するため、第4b図の構造を用いることができる。実際第4a図及び第4b図に示されている状況と電気伝導度を逆にした状況の両方を考慮すると、その結果は、ダイオード

D_L 及び D_N のうち少なくとも1つが通常第4b図の構造で実現されなくてはならないということである。

IC12がESD(又はその他のいくつかの高電圧現象)を受けているとき、電気エネルギーはIC12を通してその端子を介して放電する。最も単純なケースにおいては、結果として生じるESD電圧パルスは、IC端子のうちの2つの間に現われる。第1図はその1例である。

2つの端子の間に加えられた絶対値の大きい電圧(すなわち正または負の高電圧)は通常いずれか1つの方向において他の方向よりも大きな損傷を与える。このことは、それぞれコンポーネント16に対する標準的な入力及び出力側セクションを示している第5a図及び第5b図を参照することにより理解できる。第5a図において、端子 T_N は、NPNトランジスタ Q_{IN} のベース-エミッタ接合を通して端子 T_L に結合された入力ピンである。端子 T_L における電圧に対し端子 T_N における電圧 V_{NL} の高い正の値になったならば、 Q_{IN} ベ

ース-エミッタ接合は非常に高い伝導度をもつことになる。しかしながらトランジスタ Q_{IN} は、通常損傷をこうむらない。逆に言うと、 Q_{IN} ベース-エミッタ接合は、電圧 V_{NL} が高い負の値に達した場合降伏する。シリコンの溶融が接合にて起こりうる。同様に、端子 T_N がNPNトランジスタ Q_{OUT} を通して端子 T_L に結合されている出力ピンである第5b図において、端子 T_N の電圧に対する端子 T_L での電圧 V_{NL} の高い負の値は、高い正の値の場合に比べ、トランジスタ Q_{OUT} をはるかに損傷する。

前述のことを念頭におくと、第3図の保護装置14は以下のように作動する。半導体ダイオード D_L 、 D_N 及び D_S は通常IC12に給電が行なわれているか否かに関らずオフになっている。従ってICは給電を受けていないと仮定する。又、話を単純にするため抵抗器 R_L 及び R_N が無いものと仮定する。ダイオード D_L 、 D_N 又は D_S を横切りこれを降伏させ電流を逆のバイアス方向に導く電圧の印加はダイオードによって本質的に破

壊的でないということに留意されたい。

以下に論述されているケースの各々において、装置14が無い場合に損傷を及ぼすレベルに達することのできる電圧(第1図内の電圧 V_c のようなもの)が、2つの端子のうちの一方が接地基準電圧に保たれた状態で、端子 T_L 、 T_N 及び T_N のうちの2つの間に加えられる。加えられた電圧は、アースに対し正であると仮定される。

端子 T_N がアースにある状態で端子 T_L と T_N の間に正の電圧が加えられた場合、電圧 V_{NL} は高い負の値の方へ動き始める。ダイオード D_L は V_{NL} が $-V_T$ (約-1ボルト)に達したとき前進方向においてオンに切替わり、端子 T_L から端子 T_N までの一次導電性パスを開く。ESD電流は、 V_{NL} が損傷を起こす負の値に達することがないようにこのパスを通して放電する。端子 T_N が入力ピンである場合、これは第5a図の Q_{IN} ベース-エミッタを保護する。

同じ時間中、端子 T_N は通常端子 T_L 及び T_N のうちの1つに対し開放又は短絡されている。端

子 T_N が端子 T_N に対し短絡されている場合、ダイオード D_N はオフの状態にとどまる。端子 T_L のものと関係における端子 T_N における電圧 V_{NL} は、高い負の値の方へ移行し始める。ダイオード D_N は、 V_{NL} が $-V_T$ に達したとき前進方向においてオンに切り替わり、ESD電流をさらに放電するためもう一つの一次導電性パスを開放する。 V_{NL} は同様に、損傷をおこす負のレベルまで降下しないよう抑制されている。端子 T_N が端子 T_L に対し短絡されている場合、ダイオード D_N はオフの状態にとどまる。 V_{NL} は高い正の値に向かって動き始める。 V_{NL} が V_{BO} （標準的に10ボルト）に達したとき、ダイオード D_N は降伏し、逆方向においてオンに切り替わり、ESD電流を放電するため端子 T_N 及び T_N の間に二次導電性パスを開く。その電圧が「浮動」するよう端子 T_N が開放されている場合、ダイオード D_N と D_N が一緒に作動する。 V_{NL} が $-(V_T + V_{BO})$ に達すると、ダイオード D_N は前進方向においてオンに切り替わり、一方ダイオード D_N は逆の方向にてオンに切

替わる。このことは、ダイオード D_N と D_N を通して二次ESD放電パスを開放させる。端子 T_N が最後の2つの状況において出力ピンである場合、第5b図内のトランジスタ Q_{OUT} のベース-エミッタ接合はオンに切り替わることができ（抵抗器 R_N を通して）、非破壊的な形でトランジスタ Q_{OUT} を通してESD電流が放電するのを助ける。端子 T_N がアースにある状態で端子 T_N と T_N の間に正の電圧が現われた場合、同様なことが起こる。ダイオード D_N はダイオード D_L について上述した形で作動し、逆も同様である。その結果としての作用は、端子 T_N が出力ピンであるとき第5b図内の Q_{OUT} ベース-エミッタ接合を保護する。

正の電圧は、端子 T_N が開いた状態で、端子 T_L と T_N の間に現われる可能性がある。端子 T_N が接地されている場合、ダイオード D_N は V_{NL} が $-V_T$ に達したとき再び前進方向においてオンに切り替わり、一次ESD放電パスを開く。 V_{NL} がさらに降下して $-2V_T$ となったならば、

ダイオード D_N 及び D_L は両方共前進方向においてオンになり、ESD電流を放電するため端子 T_L と T_N の間でもう一つの一次導電性パスを開く。端子 T_L がアースにある場合、 V_{NL} が V_{BO} に達し次に $2V_{BO}$ に達したとき反対の導電方向に同じことが起こる。

発生する出来事はすでに述べてきたことから明白であるはずであるため、残りのケースについては簡単に扱うことにする。端子 T_L が接地された状態で端子 T_L と T_N の間に高い電圧が加えられた場合、ダイオード D_L は逆方向にオンに切り替わる。端子 T_N が接地された状態で端子 T_N と T_N の間に高い電圧が現われた場合、ダイオード D_N について同じことが起こる。

前述の説明によると、第5a図内のトランジスタ Q_{IN} のように結合されたトランジスタが主としてダイオード D_L により保護されていることがわかる。ダイオード D_N はトランジスタ Q_{IN} に対し二次的保護を提供する。しかしながらダイオード D_N はコンポーネント16内の他の入力エレメン

トを保護することができる。ダイオード D_L と D_N の役割を逆転させると、第5b図内のトランジスタ Q_{OUT} のように接続されたトランジスタ及びコンポーネント16中のその他の出力エレメントに対し同様の考察が当てはまる。要するに、ダイオード D_L 及び D_N は、端子 T_N 、 T_L 及び T_N のうちのいずれか2つの間に加えられた電圧がコンポーネント16を損傷しうるレベルに達することのないように機能する。

ダイオード D_L 及び D_N は通常一次及び二次的な保護機能をもつため、端子 T_N が入力ピンであるか出力ピンであるかによっていずれか一方が時として削除される可能性もある。このことは、面積的な制限及び／又は電気的制約条件のために必要となる可能性がある。

第3図の装置14は、IC12に電力供給が行なわれたときほぼ同じ方法で作動する。外部の電源が端子 T_N 及び T_L 上に電圧 V_{NN} 及び V_{LL} を印加しようとしていることによって、ダイオード D_L 、 D_N 及び D_N の作動が著しく影響されることはな

い。

抵抗器 R_A 及び R_B （もしあれば）はダイオード D_L 及び D_H と連動するがそれらの動作に著しい影響を及ぼすことはない。抵抗器 R_A は基本的にダイオード D_L 及び D_H に対するピーク電流を制限し、その有効性を高める。抵抗器 R_B は（抵抗器 R_A と結びついて）コンポーネント16に対するピーク電流を制限し、さらにこれを保護する。

当該サブサーフェスダイオードの1つで容易に達することのできるものよりも大きい降伏電圧が望まれるような応用分野もある。かかる応用分野は、そのダイオードを直列接続された一組のサブサーフェス半導体ダイオードと置換することにより処理できる。第6図は、サブサーフェスダイオード D_{Lx} と D_{Ly} がダイオード D_L に置き代り、サブサーフェスダイオード D_{Hx} 及び D_{Hy} がダイオード D_H に置き代り、サブサーフェスダイオード D_{sx} 及び D_{sy} がダイオード D_S に置き代わる、この置換の例を示している。第6図中の保護装置14内のダイオード D_{Lx} 、 D_{Ly} 、 D_{Hx} 、 D_{Hy} 、

及び D_{sx} がコンポーネント16を保護するのと同じ形でコンポーネント16'を保護する半導体ダイオード $D_{L'}$ 及び $D_{H'}$ が含まれている。ダイオード $D_{L'}$ 及び $D_{H'}$ は同様に、第4a図及び第4b図内に示されているように実現されたサブサーフェスダイオードである。

第7図内の保護装置14にはさらに、端子 T_L 及び T_L' の間で反対方向に接続されている一対の相互給電半導体ダイオード D_{xL} 及び $D_{xL'}$ が含まれている。もう一対の相互給電半導体ダイオード D_{xH} 及び $D_{xH'}$ は、端子 D_H 及び D_H' の間で反対方向に接続されている。ダイオード D_{xL} 、 $D_{xL'}$ 、 D_{xH} 及び $D_{xH'}$ は、前述のようなサブサーフェスダイオードである。これらは、端子 T_H 、 T_L 及び T_H' のうちの1つと端子 $T_{H'}$ 、 T_L' 及び $T_{H'}$ のうちの1つの間に加えられた電圧によりコンポーネント16及び16'が損傷されないようにする前述の機構に従って動作する。

第8図は、IC12の拡大バージョンを示している。ここにおいて、IC12には、 T_{H1} 、

D_{sx} 及び D_{sy} の各々は、第4b図の構造で実現できる。基板24が端子 T_L に直接結びつけられている場合、第4a図の構造でダイオード D_{Lx} 及び D_{Ly} のみが実施できる。第6図中の装置14は、臨界動作過電圧が2倍になることを除き、第3図について上に記された方法で作動する。

IC12は時として、1対の給電端子を通して電力供給される標準的にアナログ回路である一つの回路部分と、もう1対の給電端子を通して電力供給される標準的にデジタル回路であるもう一つの回路部分に分けられる。この状況は第7図に示されているが、ここにおいてライン L_{L1} に相互接続されている回路コンポーネント16及び16'は、2つの別々に電力供給を受ける回路部分である。コンポーネント16'については、IC12には、 V_{LL} に等しい低い供給電圧 $V_{LL'}$ を受入れるための給電端子 $T_{LL'}$ 、 V_{HH} に等しい従って $V_{LL'}$ より大きい高い供給電圧 $V_{HH'}$ を受け入れるための給電端子 $T_{HH'}$ 、そして情報端子 $T_{H'}$ が含まれている。装置14には、ダイオード D_L 及

T_{H1} ... T_{H6} とラベリングされた6つの T_H 情報端子がある。1を実行中の整数とすると、各々の情報端子 T_{Hi} は、ライン L_{Li} を介してコンポーネント16に接続されている。各々の端子 T_{Hi} について、第8図内の装置14は、それぞれ第3図内のダイオード D_L 及び D_H と同じに配置された別々のサブサーフェスダイオード対 D_{Li} 及び D_{Hi} を含んでいる。ライン L_{Li} は端子 T_{Li} をダイオード D_{Li} 、 D_{Li} ... D_{Li} の陽極に接続する。ライン L_{Hi} は、端子 T_{Hi} をダイオード D_{Hi} 、 D_{Hi} ... D_{Hi} の陰極に接続する。第8図はダイオード D_S に相応する2つのオプションのサブサーフェス分路ダイオード D_{s1} 及び D_{s2} を示している。

ダイオード D_{L1} ~ D_{L6} 及び D_{H1} ~ D_{H6} は、端子 T_{H1} ~ T_{H6} のいずれか2つの間に加えられた電圧がコンポーネント16にとって有害でありうるレベルに達することがないようにするため上述の機構に従って動作する。1つ例を挙げるとこのオペレーションが明確になるはずである。「最悪のケース」は端子 T_L 及び T_H が開放状態にあるとき

に起こる。端子 T_{n1} 及び T_{n2} の間に損傷の可能性ある電圧が加わった場合、2つの導電性パスは端子 T_{n1} と T_{n2} の間で開き、電圧の絶対値が $V_{D0} + V_F$ に達したときESD電流を消散させる。パスのうちの1つはダイオード D_{L1} と D_{L2} を通過しており、これらのダイオードのうち一方は前進方向においてオンに切替わり一方もう1つのダイオードは逆方向においてオンに切替わる。もう一つのパスはダイオード D_{n1} と D_{n2} を通過しており、これらのダイオードは同様に作動する。

第9図は、第8図のIC12の好ましい配置を示す。第9図内のIC12のための電気的相互接続システムはパターンによる2層の金属層で形成されている。コンポーネント16とIC12の外側境界線の間にある実線は、上部金属を表わす。点線は、下部金属の一部を表わす。「X」は2つの金属層間の接点を示している。破線は一般に、装置14内のサブサーフェスダイオードの外側境界線を示す。ダイオード $D_{L1} \sim D_{L4}$ 及び D_{n1} （もしあれば）は、第4a図の一般的構造で

実施されている。ダイオード $D_{n1} \sim D_{n4}$ 及び D_{L1} （もしあれば）は、第4b図の一般的構造で実施されている。

第9図中の装置14は、サブサーフェスダイオードがIC12の周囲に効率のよい形態で配置されているため、小さなダイ面積しかとらない。給電ライン L_L は、IC12の外側境界線近くにある正方形の輪の形にその大部分が配置されている。給電ライン L_n の大部分は、コンポーネント16の外側境界線近くの L_L の輪の中に同心的に位置づけられた正方形の輪の形に配置されている。端子 $T_{n1} \sim T_{n4}$ 、 T_L 及び T_n は半導体本体より上の2つの輪の間にある。各々のダイオード D_{L1} はその一部が L_L の輪より下にある。各々のダイオード D_{n1} はその一部が L_n の輪より下にあり、端子 T_{n1} の下にある材料によりダイオード D_{L1} から分離されている。

第9図のリング構造にはさらにいくつかの利点がある。相互接続システムの結びつけられた部分の直列抵抗はかなり低い。このためリングの位置

とは無関係にすぐれたピン間ESD保護が得られる。リング構造のための処理用マスクの設計は単純である。処理収率はきわめて高い。この構造はこのように標準的IC構築用ブロックとして特に有益である。

第10図は、エレメント T_{n1} 、 D_{L1} 、及び D_{n1} のまわりに集中する第9図の配置の1部分の図である。第11図は、第9図と第10図の平面11~11を通過して切りとられた断面を示している。オブションのPタイプのチャネルストップ層62は基板24の上部の分離機構30の下にある。第11図を参照のこと。機構30は二酸化ケイ素で構成されている。第4a図のN+接続領域48は第11図の深淺両N+領域64及び66で形成されている。第4b図内のN+接続領域58は同様に、第11図内の深淺両N+領域68及び70で構成されている。

相互接続システムは下部絶縁層72、下部金属層、中間絶縁層74、上部金属層そして上部絶縁層76が第10図に示されているように配置され

て形づくられている。層72及び74は主として二酸化ケイ素から成る。層76は窒化ケイ素又は二酸化ケイ素で形成されている。両金属層は主としてアルミニウム合金から成る。下部金属層は、ライン L_n 、下部正方形部分78そしてライン L_L に対する接続部分80に分割される。上部金属層は、ライン L_L 及び L_n ならびに上部正方形部分82に分けられる。

第12a図~第12g図は、第11図の構造を製造するためのプロセス中の工程を図示している。第11図及び第12a図~第12g図内に示されているさまざまな領域を創り上げる上で、従来の清掃及びフォトリソグラフィマスクング工程が用いられている。これらの工程に対する参照指示は、話を簡略にするため以下の説明では省かれている。以下に与えられているものと異なる半導体ドウパントも又いくつかの工程において使用可能である。イオンインプランテーション（打ち込み）のいくつかは代替的に拡散技法により行なうこともできる。プロセス中のさまざまな点にある高温が、以

下に特に説明されているドウパントの拡散をひきおこす他に、インプラントラテスの損傷を修復させ、打込まれた種を活化させる。

出発点は第1.1 a 図に示されているような基板24である。基板24は2~20オーム-cmの抵抗率を有する。

アンチモンは、基板24内にその上部表面28を通して選択的に打ち込まれ、ヘビードーピングされた個別のNタイプ領域82及び84を形成する。第1.2 b 図参照。アンチモンのインプラントレーションは、50キロエレクトロンボルト (KeV) (のエネルギー) で 2×10^{13} イオン/cm² の Sb⁺ (の用量) で行なわれる。

基板24は1110°C以上で少なくとも60分間、非酸化性環境の下で焼きなましされる。こうして打ち込まれた領域82及び84内のアンチモンはさらに基板24内部へと拡散し第1.2 c 図に示されているように表面28に沿ってそれぞれNタイプの埋込み部分86及び88を形成する。焼きなましは、1200°Cで75分間行なうことが望

ましい。

ここでホウ素が表面28を通して基板24内に選択的に打ち込まれ、第1.2 d 図に描かれているように個別のヘビードーピングされたPタイプの領域90及び92を形成する。P+領域90はN+部分86の近くにある (そして突合わさっているか部分的に重なり合っている可能性がある)。P+領域92は部分的又は全面的に表面28に至るまでN+部分88によりとり囲まれている。第1.2 d 図は後者の例を示している。ホウ素のインプラントレーションは180 KeV で、 2×10^{14} イオン/cm² のホウ素にて行なわれる。

0.3~1.0オーム-cmの抵抗率をもつNエピタキシャル層26が表面28上に約1.5ミクロンの厚みまで成長させられる。第1.2 c 図参照のこと。エピタキシャル成長は、1030°Cで6分間行なわれる。エピタキシャル成長の間、打ち込まれたアンチモンがさらに基板24内にそして上方へエピタキシャル層26内へ深く拡散するにつれて、N+部分86及び88はやや拡大する。領域90

及び92内に打ち込まれたホウ素は、第1.2 c 図に示されている形でシリコン内部にさらに深く拡散し、それぞれPタイプの部分94及び96を界面28に沿って形成する。結果として得られる部分86と96の間のPN接合は、項目98としてラベリングされる。

絶縁層分離機構30のための一般的場所において層26内に溝がエッチングされ、その後ホウ素のチャネルストップインプラントがこの溝の底部のシリコン内に行なわれる。溝より上の層26の一部及び基板24の下の薄い部分は、分離機構30及びアクティブ部分34、36、38及び40を作り上げるため熱により酸化させられる。

酸化の間、埋込み部分86、88、94及び96内の打ち込みされた種はさらに基板24及び層26内深く拡散する。打込まれたホウ素は、打込まれたアンチモンよりはるかに多く拡散する。従って部分86、94、88及び96はその埋込み領域42、44、52及び54に変換されPN接合46及び56を構成する。さらに、打込まれ

たチャネルストップホウ素は、前進する二酸化ケイ素よりやや先行して動き、2000オーム/スクエアの面積抵抗でP領域62を作り上げる。

N+領域64及び68、P+領域50及び60及びN+領域66及び70は、リンをアクティブ部分34及び38内に打ち込み、1000°Cで60分間焼きなましし、ホウ素をアクティブ部分36及び40に打ち込み、800°Cで30分間焼きなましし、ひ素を部分34及び38に打ち込み、1000°Cで30分間焼きなましすることによって作り上げられる。領域64及び68のためのリンのインプラントは、180 KeV で 3×10^{15} イオン/cm² の P⁺ を用いて行なわれる。領域50及び60のためのホウ素のインプラントレーションは、90 KeV で 1×10^{15} イオン/cm² の B⁺ を用いて行なわれる。領域66及び70のためのひ素のインプラントレーションは50 KeV で 1×10^{15} イオン/cm² の A⁺ を用いて行なわれる。焼きなましは全て、非酸化性環境内で行なわれる。第1.2 g 図は、結果として得られる構造を示している。

ここで相互接続システムが、従来の蒸着及びエッチング工程に従って製造され第11図の構造を生成する。こうして基本的なダイ製造プロセスが完了する。

本発明は特定の実施態様を参考にして説明されてきたが、この説明はほんの一例として示されたものにすぎず、特許請求の範囲に記されている本発明の範囲を制限するものとしてみなされてはならない。例えば、本発明はMOS ICにも又バイポーラ型 IC にも適用される。分離機構は、半導体本体の材料と隣接する誘電材料のシェルで形づくられていてもよい。いくつかのその他の材料、代表的には多結晶性シリコンがシェルを充てんすることになる。好ましい配置内のリングの各々は中断部分を有する。リングの相対的位置は逆にすることができる。このように、当該分野の熟練者は、特許請求の範囲に規定されているような本発明の頁の範囲及び考え方から逸脱することなくさまざまな変更、修正及び応用を行なうことが可能である。

第8図は、本発明に基づく保護装置を用いる拡大された IC の回路／構成図である。

第9図は、第8図の IC の配置図である。

第10図は、第9図の一部の拡大図である。

第11図は、第9図と第10図内の平面11-11を通して切りとられた横断面側面構造図である。

第12a図、12b図、12c図、12d図、12e図、12f図及び12g図は、第11図の構造に至る製造プロセスにおける各工程を表わす横断面側面構造図である。

主要な構成要素の番号

12-IC、14-保護装置、16-回路コンポーネント、22-ノード、24-シリコン基板、26-エピタキシャルシリコン層、28、32-上部表面、30-分離機構、34、36、38、40-アクティブ部分、42、44、52、-埋込み領域、46、56-サブサーフェスPN接合、48、50、58、60-接続領域、T-端子、D-ダイオード、Q-トランジスタ、V-電圧、

4. 図面の簡単な説明

第1図は、保護装置を有する IC が人体が生成するESDをモデリングする回路といかに相互作用するかを図示する回路／構成図である。

第2図は、先行技術の保護装置を用いる IC の回路／構成図である。

第3図は、本発明に基づきサブサーフェスダイオードで形成された保護装置を用いる IC の回路／構成図である。

第4a図及び第4b図は、第3図の装置内で使用可能なサブサーフェスダイオードの横断面側面構造図である。

第5a図及び第5b図は、第3図の装置により保護されている標準的エレメントの回路図である。

第6図は、保護装置がさらに直列にサブサーフェスダイオードを用いているような、第3図の IC の変形実施態様の回路／構成図である。

第7図は、本発明に基づく装置により保護されている別々に電力供給を受けている回路のコンポーネントを有する IC の回路／構成図である。

62-チャネルストップ層、64、66、68、70-深淺両N+領域、72-下部絶縁層、74-中間絶縁層、76-上部絶縁層、78-下部正方形部分、80-接続部分、82-上部正方形部分。

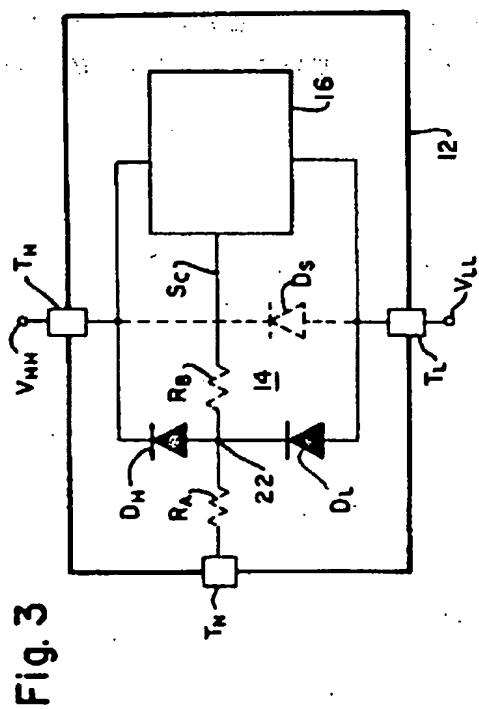


Fig. 3

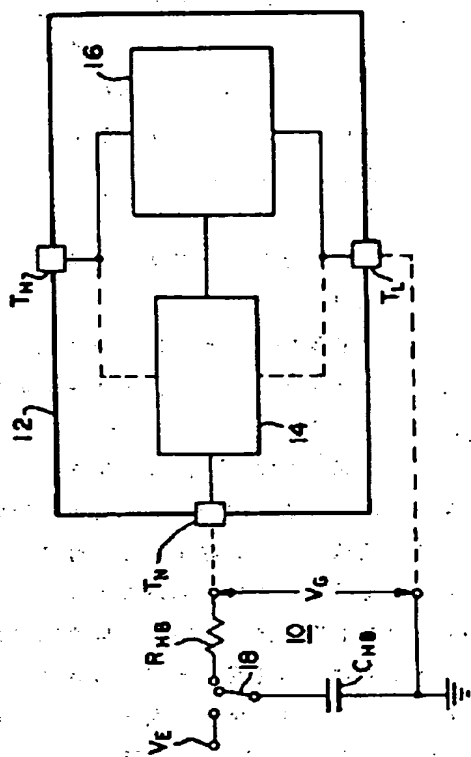


Fig. 2

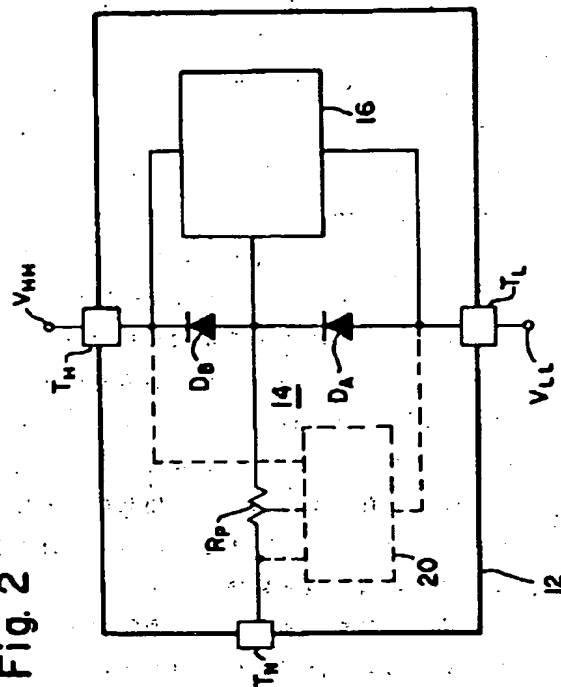


Fig. 4a

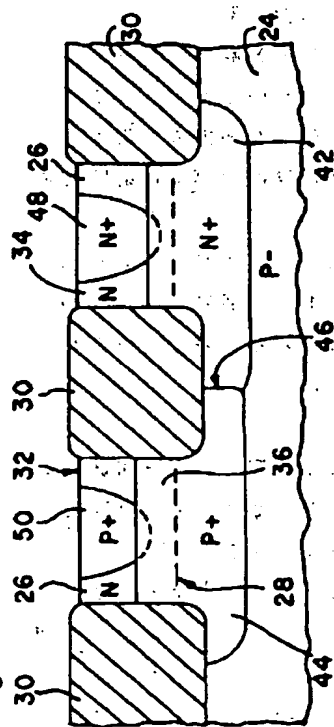


Fig. 4b

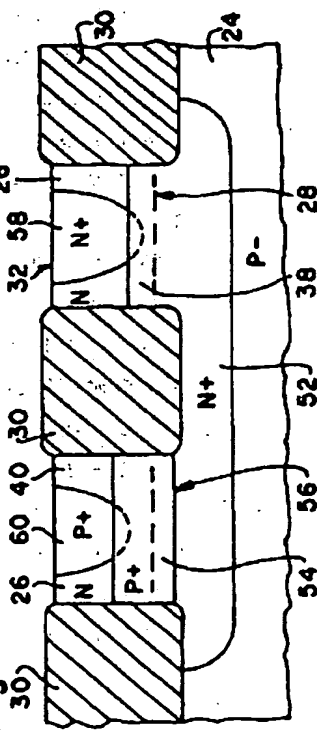


Fig. 5b

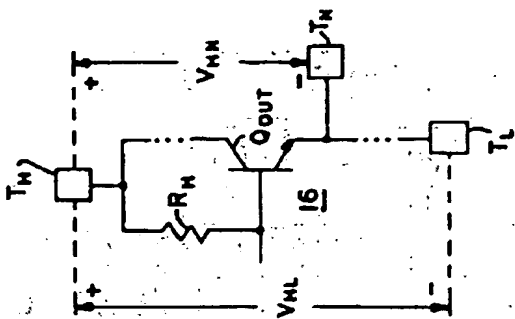


Fig. 5a

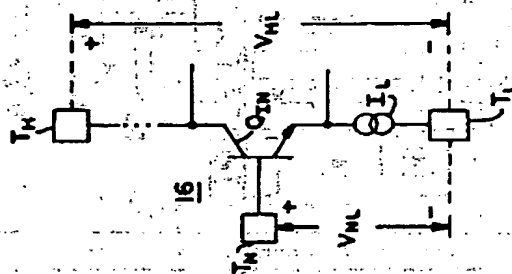


Fig. 6

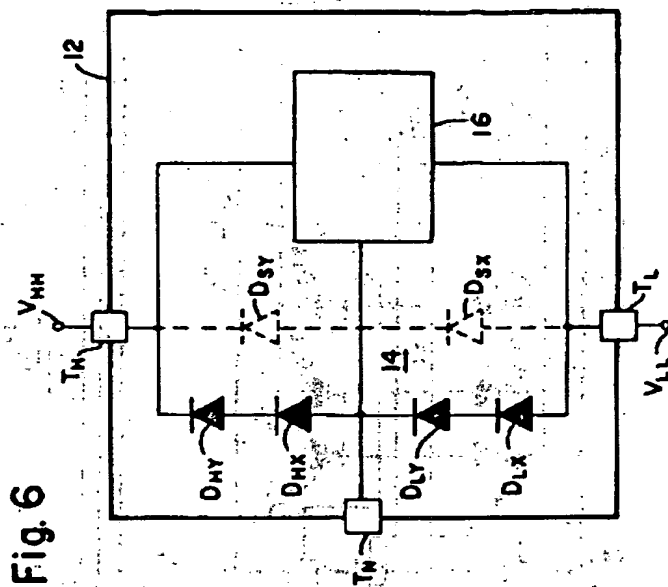
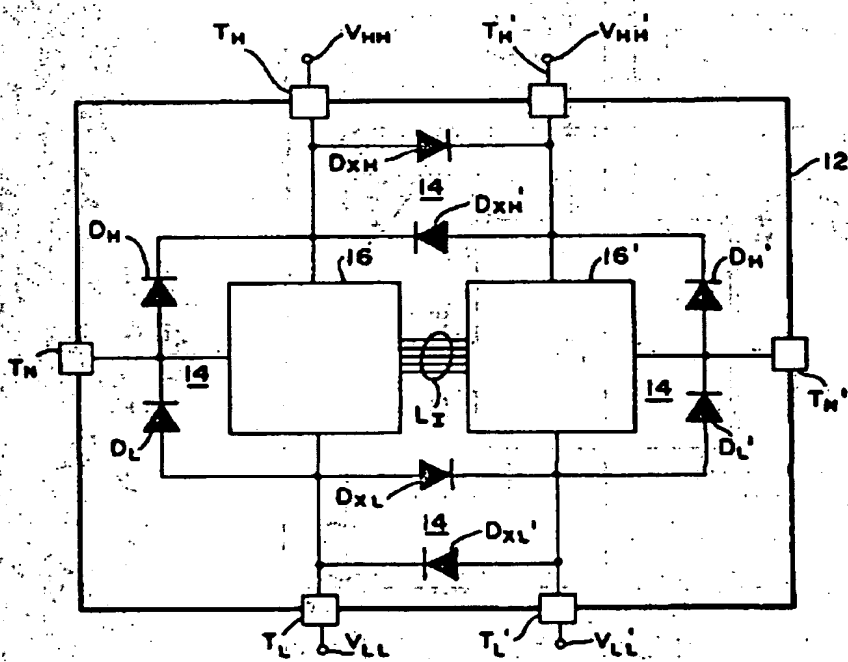


Fig. 7



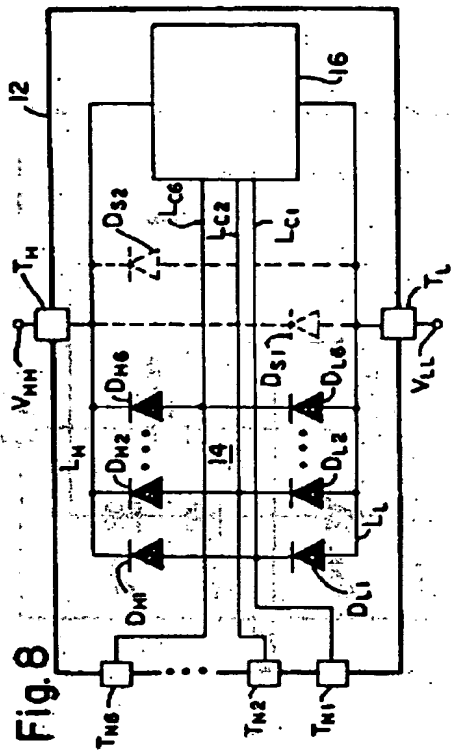


Fig. 9

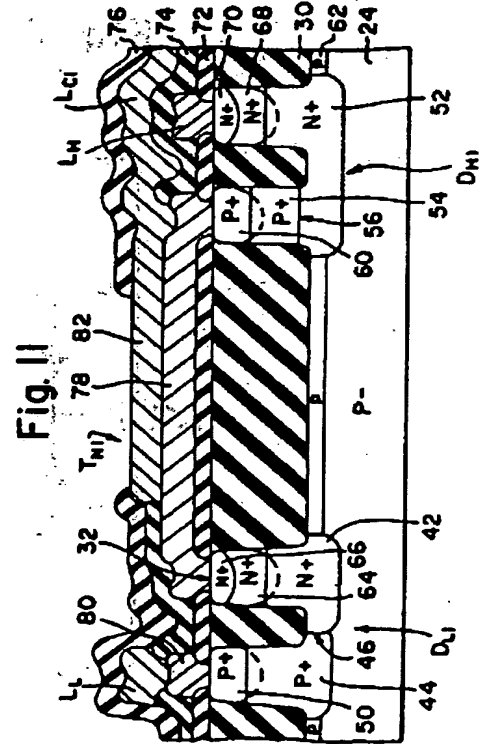
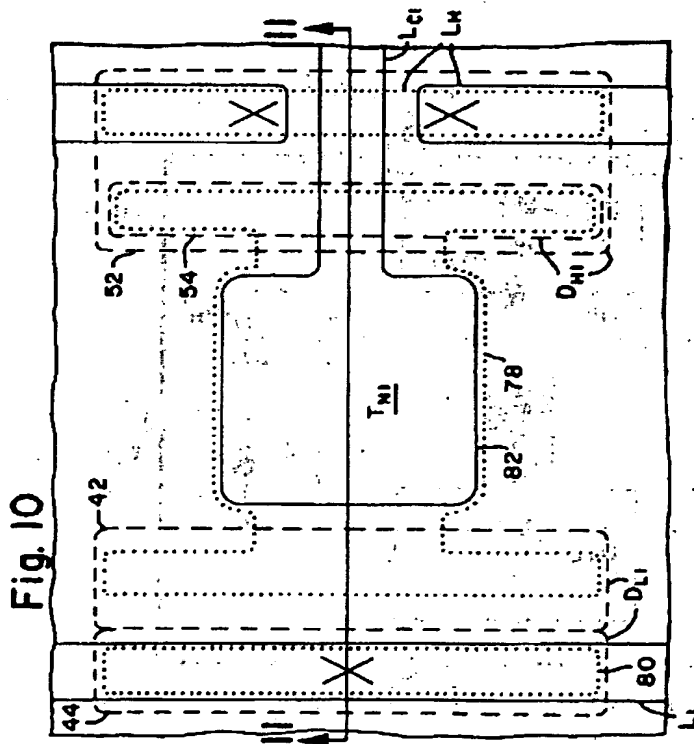
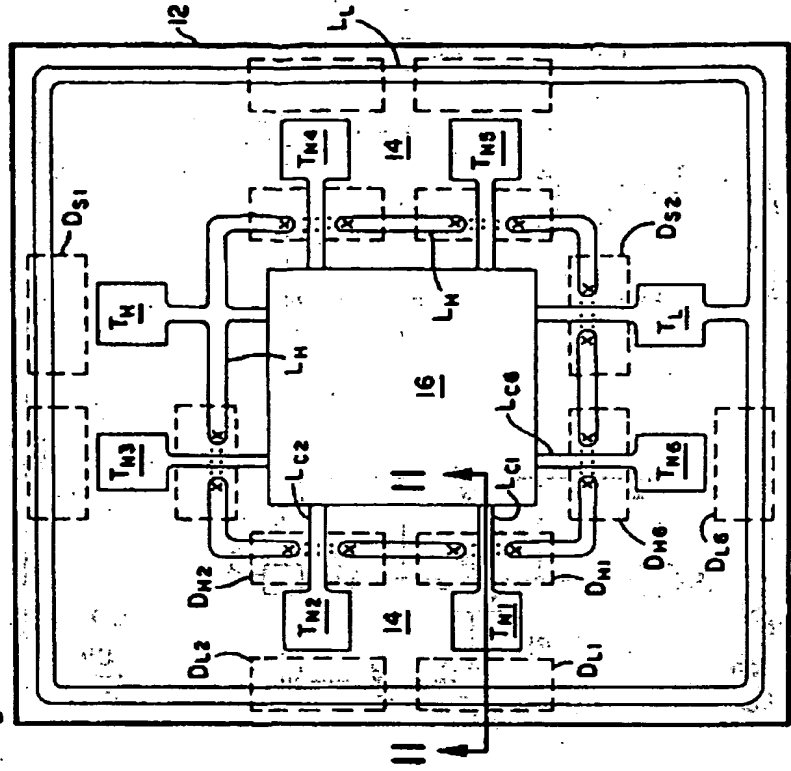


Fig. 12a

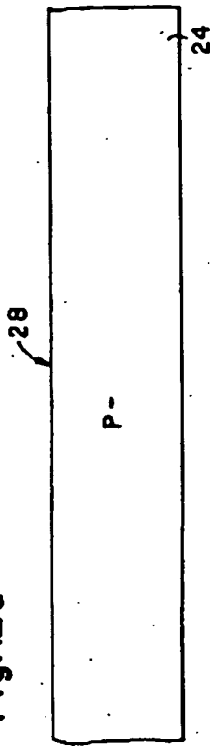


Fig. 12b

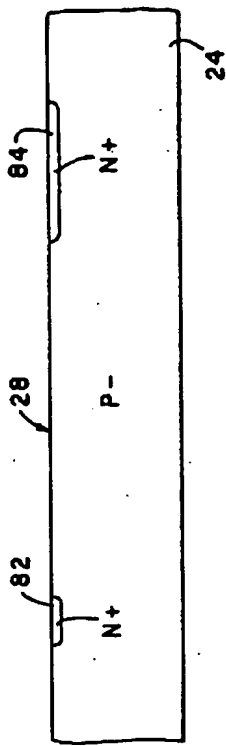


Fig. 12c

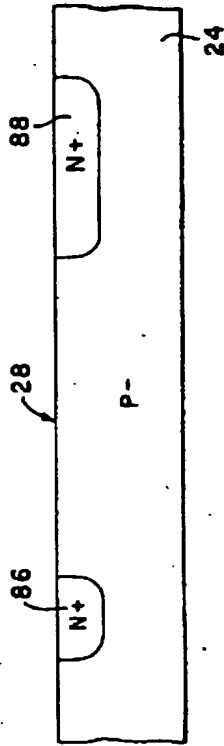


Fig. 12d

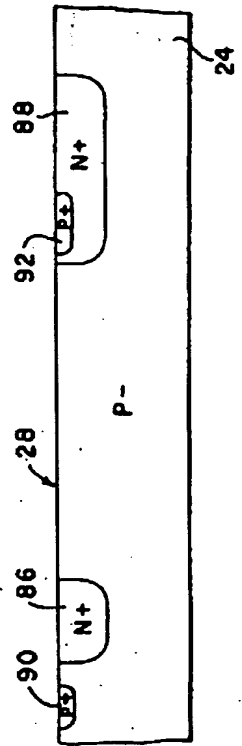


Fig. 12e

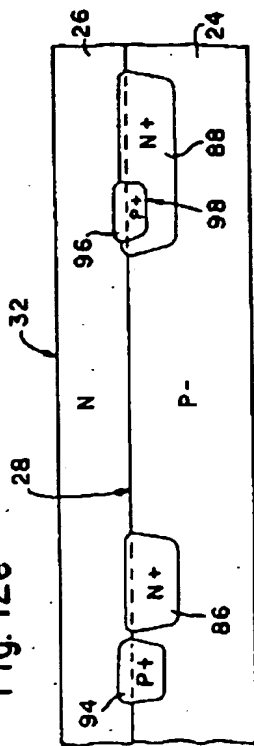


Fig. 12f

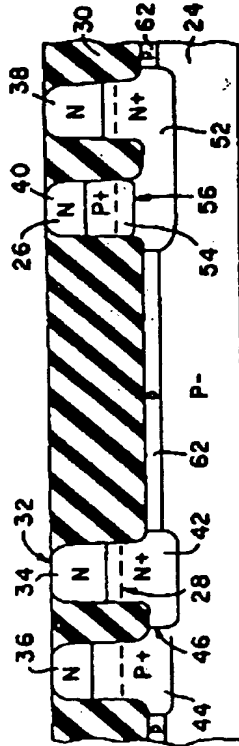


Fig. 12g

